

OSAKA NDS EMBEDDED LINUX CROSS FORUM #15

RZ/Five (RISC-V) ソリューションのご紹介

- 地政学リスクを回避するソリューション -

SOFTWARE BUSINESS DEVELOPMENT DEPARTMENT
ENTERPRISE INFRASTRUCTURE BUSINESS DIVISION
IOT & INFRASTRUCTURE BUSINESS UNIT
RENESAS ELECTRONICS CORPORATION
JULY 2022
VERSION 1.0

講師紹介

RZ/Five製品コンセプト

- 特定IPベンダー1社がサポートするCPU IP技術のリスクと課題



RZ/Five(RISC-V)製品コンセプト

- オープンソースアーキテクチャRISC-Vを採用
 - ・ だれでも自由に使用できるCPU IP技術
 - ・ 複数IPベンダーによるサポート (Andes, SiFive, IMG, T-HEAD, etc)

- ArmとRISC-Vの相互移行ソリューションを提供
 - ・ SMARCモジュールベースの開発環境
 - ・ パッケージピンの互換性をサポート



**RZ/Five(RISC-V)は
これらリスクと課題の解決に貢献**

RZファミリコンセプト & RZ/Five(RISC-V)

Arm CPUコア加えて、RISC-V CPUコアを搭載した「RZ/Five」をラインナップ

General Purpose MPU

✓ HMI/ディスプレイシステム

産業/ビルオートメーション
セキュリティパネル、POS
ドアホン等

✓ IoT

Networkゲートウェイ
Edgeサーバ

RZ/G Series

Linux

New
Product

RZ/Five



RZ/A Series

RTOS



Embedded AI MPU (AI Accelerator)

RZ/V Series

✓ 産業用ビジョンシステム

✓ 監視カメラ

✓ セキュリティゲート

Linux



Projector Only

RZ FAMILY FEATURES FOR IOT EDGE



8 to 2 cores

Pin Compatible



4xCortex-A57	2xCortex-A57	2xCortex-A57
4xCortex-A53	4xCortex-A53	-
1xCortex-R7	1xCortex-R7	1xCortex-R7
LPDDR4x64	LPDDR4x64	LPDDR4x32
PCIe	PCIe	PCIe
Gbit Ether	Gbit Ether	Gbit Ether
USB3, USB2	USB3, USB2	USB3, USB2
CAN	CAN	CAN
Security	Security	Security

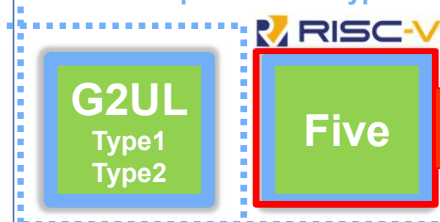
2 cores



-	-
2xCortex-A53	2xCortex-A55
1xCortex-R7	1xCortex-M33
DDR3Lx32	DDR3L/4x16
PCIe	-
Gbit Ether	Gbit Ether
USB3, USB2	USB2
CAN	CAN
Security	Security

1 core

Pin Compatible with Type1



-	-
1xCortex-A55	1xAX45MP (RISC-V)
1xCortex-M33	-
DDR3L/4x16	DDR3L/4x16
-	-
Gbit Ether	Gbit Ether
USB2	USB2
CAN	CAN
Security	Security

CIP Linux

RZ/Five (RISC-V) の特長

- RZ/Fiveは64ビットRISC-Vアーキテクチャを備えたエントリークラス汎用Linux MPUです。([プレス発表](#))
- 特長 1 : オープンソースのRISC-V ISA*は特定IPベンダーの制約が無く、長期利用のリスクを軽減します。
- 特長 2 : CPUアーキテクチャ選択肢を広げるパッケージのピン互換(RZ/Five⇔RZ/G2UL)
- 特長 3 : RISC-V CPU搭載のRZ/FiveとArm CPU搭載のRZ/G2ULの相互移行をサポートする開発環境(RZ Evaluation Board Kit)を提供します。
- RZ/Fiveの各種機能は各種センサーのデータを収集し、サーバやクラウドとネットワーク経由で通信するソーラーインバータやホームセキュリティ向けゲートウェイなど、IoTエッジデバイスに最適です。

[RZ/Five機能概要] (RZ/Five Product [Website](#))

- 1GHz CPU, Gigabit Ethernet 2ch, CAN-FD, ADC 2ch, ECC, Security, CIP Linux

*ISA: Instruction Set Architecture

特長 1 : RISC-V CPU

RISC-Vアーキテクチャ (ISA) 準拠のANDESコアを採用

- Andes*1製AX45MPの採用により、RISC-V ISAに準拠した汎用MPUを素早くお客様に提供できます
- 周波数当たりの高い処理性能を持つCPUは、多くのアプリケーションに最適です

RZ/Five(RISC-V CPU) Overview

- AndesCore™ AX45MP Single core 1.0 GHz
- 64-bit in-order dual-issue 8-stage pipeline CPU architecture
- L1 I-cache 32 Kbytes (Parity) / D-cache 32 Kbytes (ECC)
- L2 cache 256 KBytes (ECC)
- Floating point extension DSP/SIMD ISA
- Andes Star™ V5 Instruction Set Architecture (ISA).
Compliant to RISC-V ISA IMACFDN*2, with Andes performance/functionality extensions

[RISC-V: AX45MP - Andes Technology](#)

Key feature	Benefit
8-stage in-order superscalar pipeline	Superior performance-efficiency, while allowing for high speeds

Information source: Andes Technology

*1: Andes Technogym is a founding premium member of the RISC-V International Association.

*2: IMACFDN

- I: Integer instruction
- M: Integer Multiplication and Division
- A: Extension for Atomic instructions
- C: Extension for Compressed Instructions
- F: Single precision floating point instruction
- D: Double precision floating point instruction
- N: User-level interrupts and Memory Management Unit

RZ/Five 製品仕様概要

[More information]

Press Release Link

[\[Here\]](#)

Product link

[\[Here\]](#)

System

Debugger

16ch DMAC

Interrupt Controller

PLL/SSCG

CPU

AX45MP Single (1GHz)
With SIMD / FPU
I-L1\$: 32KB(Parity) , D-L1\$: 32KB(ECC)

TCM (ILM/DLM) : Total 128KB (1GHz) w/ECC

L2\$: 256KB w/ECC

Peripheral I/F

1 x USB2.0 (Host)
1 x USB2.0
(Host / Function)

2 x 100/1000Mbps
Ether MAC *

4 x I2C

2 x SCI 8/9bit (incl. IrDA)

5 x SCIF (UART)

GPIO

3 x RSPI

2 x CAN-FD

Timers

1 x 32bit MTU3

8 x 16bit MTU3

1 x WDT

Internal Memory

RAM 128KB w/ECC

Security(Optional)

Secure Boot

Crypto Engine

Secure JTAG

TRNG

OTP 1Kbit

Analog

2 input 12bit ADC (1 unit)

Thermal Sensor

External memory I/F

1 x DDR3L/DDR4-1600 16bit
(In line ECC)

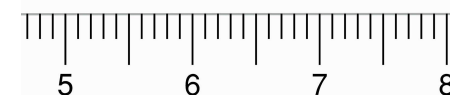
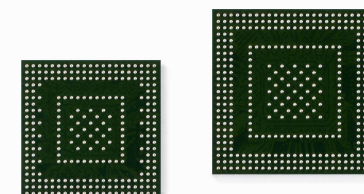
1 x SPI Multi I/O
(4bit DDR)

1 x SDHI(UHS-I)/MMC
1 x SDHI(UHS-I)

Package

✓ PBGA 13mm x 13mm
Pitch: 0.5mm
361pins

✓ PBGA 11mm x 11mm
Pitch: 0.5mm
266pins



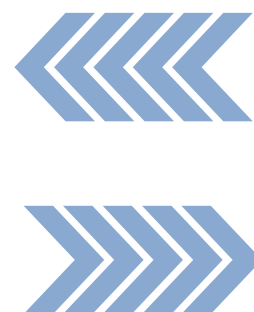
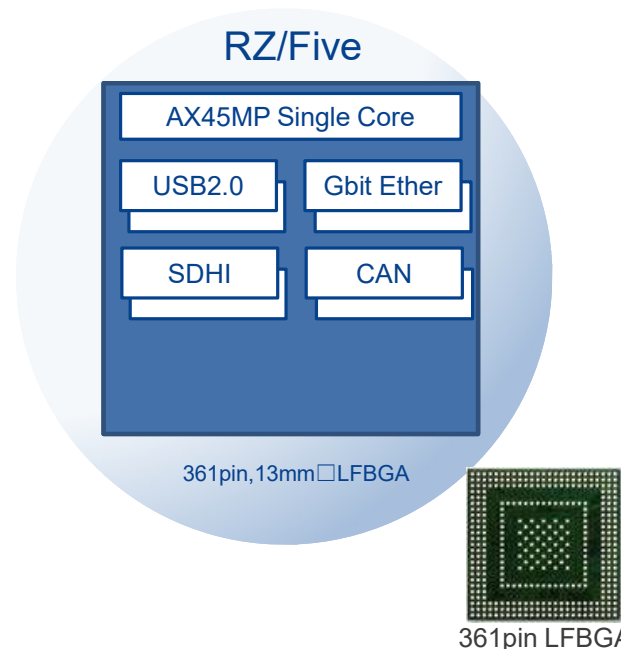
*: The 266pin package has one channel of Gigabit Ethernet.

特長 2 : CPUアーキテクチャ選択肢を広げるピン互換性

同じPCB設計でCPUアーキテクチャの相互移行が可能

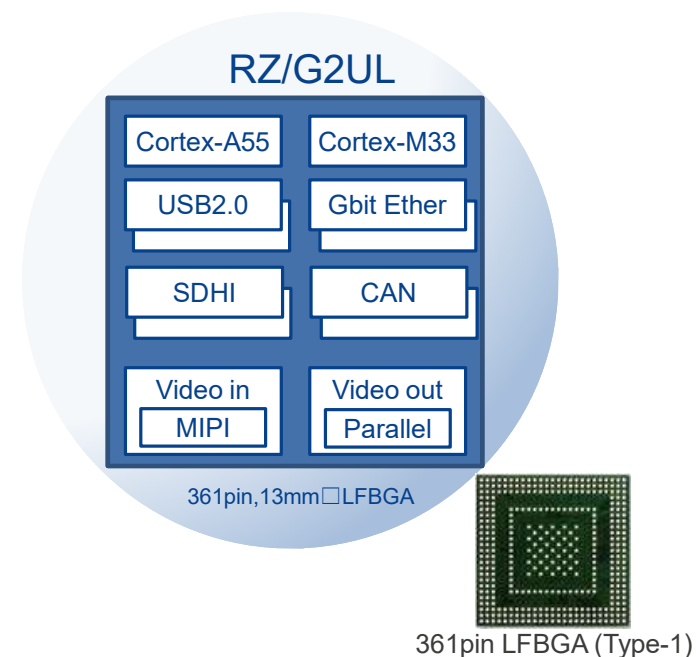
- ✓ RZ/G2ULとのピン互換性と共通のペリフェラルIPの採用により、1つのPCBで2つのアーキテクチャ（RISC-VまたはArm）の製品開発が可能になります

RISC-V CPU Product



Package Compatibles Products

Arm CPU Product



RZ/FiveとRZ/G2ULの仕様比較

- RZ/FiveとRZ/G2ULで同じ周辺機能を使用するアプリケーションでピン互換が活用できます
- RZ/FiveとRZ/G2ULの13mm,361pin パッケージ品はピン互換の為、同じPCBを活用でき、コスト低減に貢献



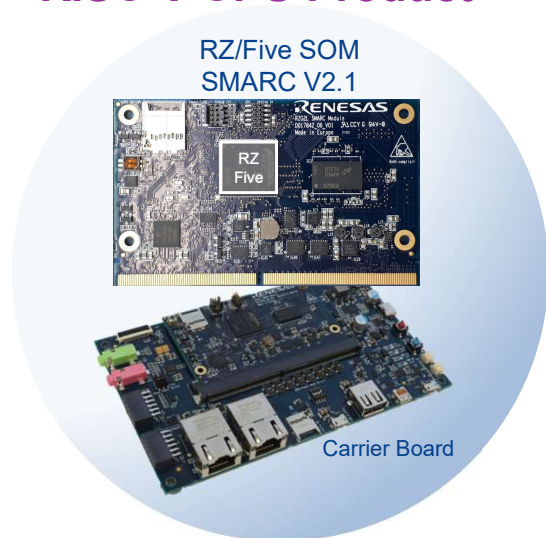
IP Spec	RZ/Five	RZ/G2UL (Type1)
CPU	AX45MP Single Core RISC-V 64bit @1.0GHz	1x Cortex-A55@1.0GHz +Cortex-M33
Internal RAM	128KB w/ECC	128KB w/ECC
DRAM I/F	16bit x1ch DDR3L/DDR4 w/ECC	16bit x1ch DDR3L/DDR4 w/ECC
Camera in	—	MIPI CSI-2
Display out	—	Digital RGB
USB	USB2.0 Host 1ch, USB2.0 Host/Function 1ch	USB2.0 Host 1ch, USB2.0 Host/Function 1ch
Ether	Gbit 2ch(361pin package), Gbit 1ch(266pin package)	Gbit 2ch
SDHI	2 x SDHI(UHS-I)/MMC	2 x SDHI(UHS-I)/MMC
SPI	1 x SPI Multi I/O (4bit DDR)	1 x SPI Multi I/O (4bit DDR)
CAN	2x CAN	2x CAN
Serial	4x I2C, 2x SCI, 5x UART, 3x RSPI	4x I2C, 2x SCI, 5x UART, 3x RSPI
Timer	8x 16bit MTU, 1x WDT	8x 16bit MTU, 2x WDT
ADC	2x 12bit ADC	2x 12bit ADC
Package	361pin, 13x13mm PBGA (0.5mmPitch) 266pin, 11x11mm PBGA (0.5mmPitch)	361pin 13x13mm PBGA(0.5mmPitch)

特長 3 : 互換性のある開発環境で開発期間を短縮(1/2)

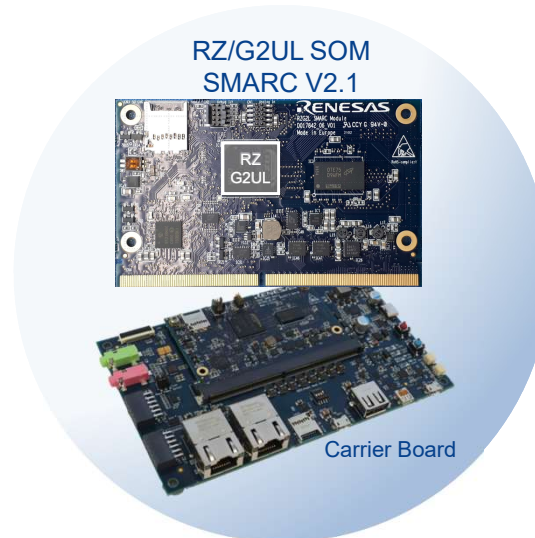
SMARC準拠モジュールボードの差し替えで評価を容易に

- ✓ 評価ボードキットは、モジュールボード（SOM） + キャリアボードで構成されています
- ✓ SMARCV2.1標準によって作成されたSOM
- ✓ ルネサスは製品ごとにSOMを用意しており、キャリアボードは同じでRZ/FiveおよびRZ/G2UL製品を評価可能
- ✓ ボード設計参照データはお客様に提供可能

RISC-V CPU Product



Arm CPU Product

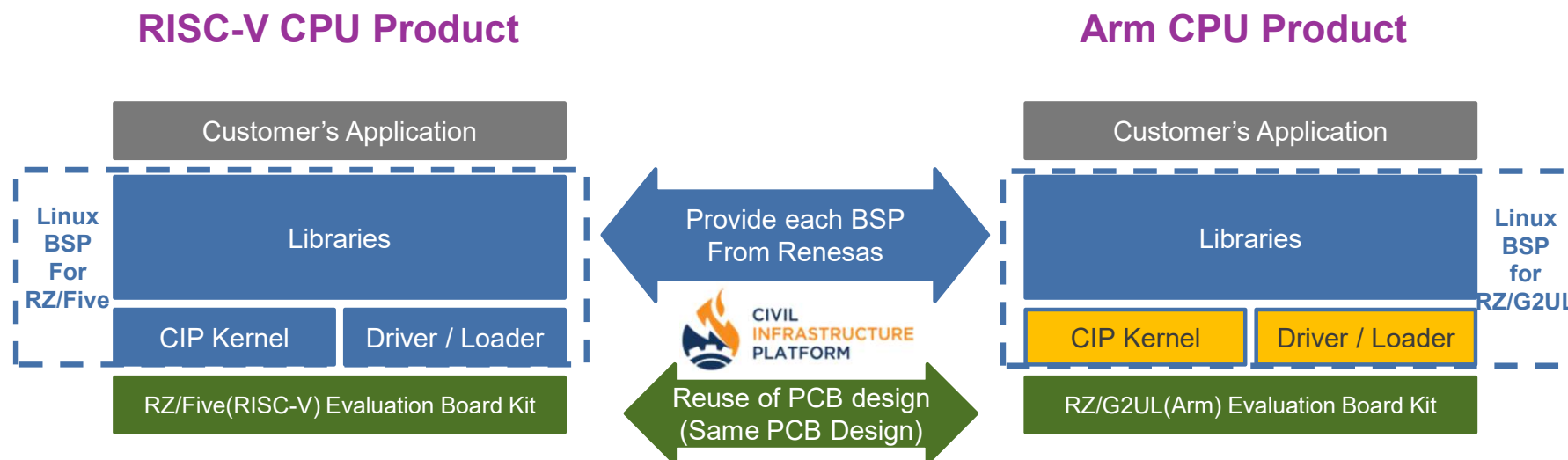


SOM : System on Module

特長3：互換性のある開発環境で開発期間を短縮(2/2)

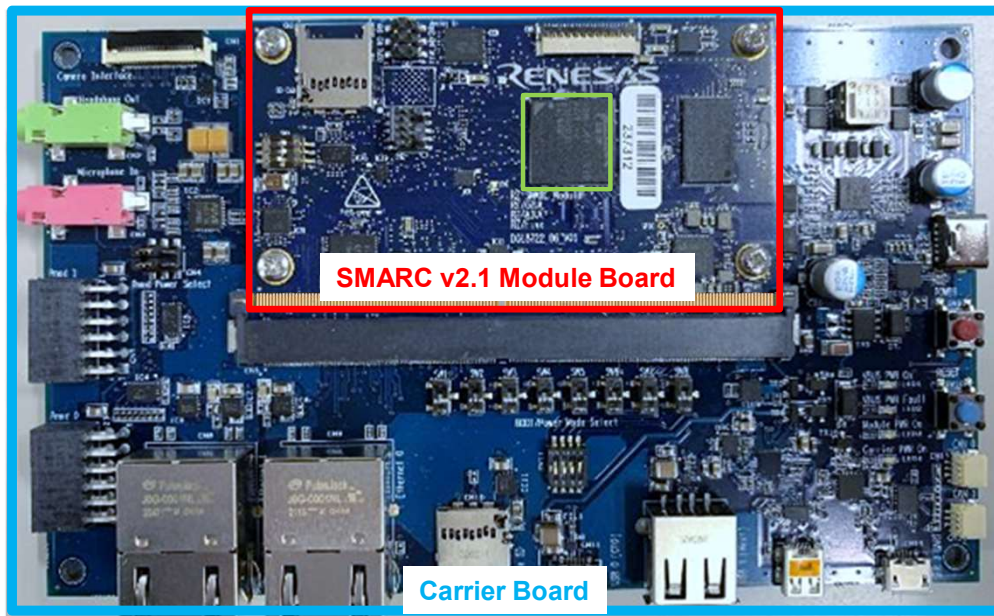
RZ/FiveとRZ/G2ULは、同じビルドマシン開発環境と同じ開発手順

- ✓ ルネサスは各BSP（ボードサポートパッケージ）を提供しています
- ✓ RZ/FiveとRZ/G2ULは、同じビルドマシン開発環境と開発手順です



RZ/Five Evaluation Board Kit (EVK)

RZ/Five SMARC v2.1 Module board + Carrier Board



Module board (Dimension: 82 mm x 50mm)

- Processor: RZ/Five
- Main Memory: 1GB DDR4 (1GB x1)
- QSPI NOR FLASH: 16MB
- eMMC Memory: 64GB
- External Storage: micro SD x1
- A/D Converter Interface x2
- JTAG connector

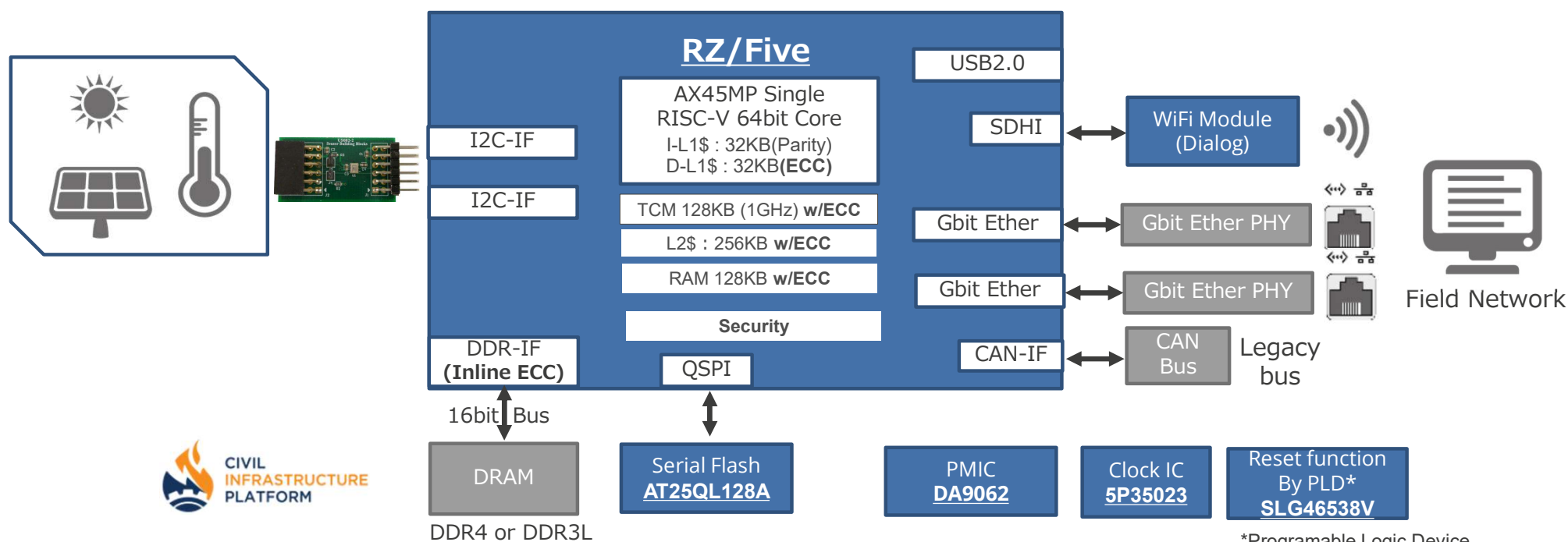
Carrier board (Dimension: 160mm x 100mm)

- Gigabit Ethernet x2
- USB2.0x 2ch (OTG x1ch, Host x1ch)
- CAN-FD x2
- External Storage : micro SD x1
- Audio Line in x1
- Audio Line out x1
- PMOD x2
- USB-Type C for Power Input

IoTエッジ機器に最適化された各種機能と各種サポート

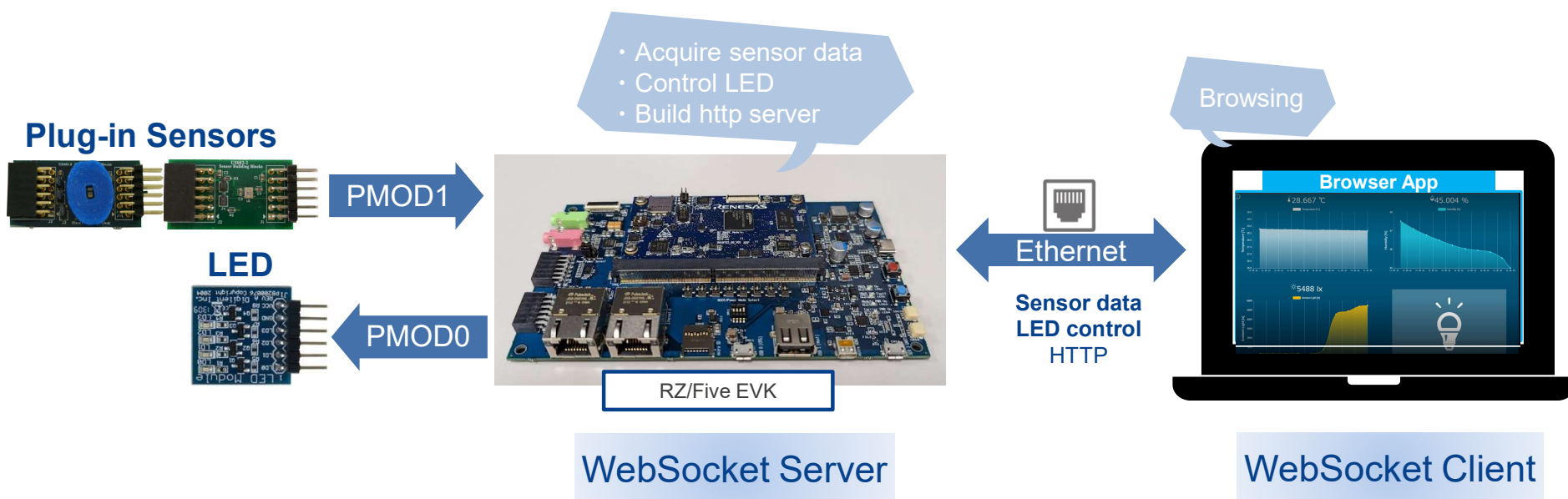
64ビットCPU、周辺機能、ECC機能、セキュリティ、及び、産業用グレードのCIP Linuxをサポート

- RZ/Fiveの各種機能は各種センサーのデータを収集し、サーバやクラウドとネットワーク経由で通信するソーラーインバータやホームセキュリティ向けゲートウェイなど、IoTエッジデバイスに最適です



RZ/Five DEMO IMAGE

RZ/Five IoT Edge Demo with Multiple Sensors and LED



■ Demo application

- ✓ RZ/Five receives data packets from the sensors and modified them for PC browsing, then send to PC and display acquired data by sensors in real time.
- ✓ Control the LED board by browser Application on PC.

Aries embedded MSRZFive

RZ/Five System In Package



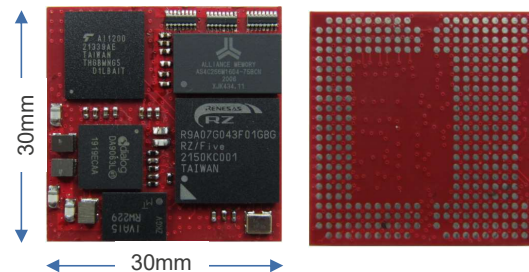
Key Features

- Single core RISC-V, up to 1GHz
- 512MB – 4GB DDR4 RAM
- 4GB eMMC NAND Flash
- dual 10/100/1000MBit Ethernet
- USB2.0 Host/OTG
- 2x CAN
- UART, I2C, SPI, ADC
- compliant to the SGET OSM standard
- size S, 30x30mm²,
- pin count: 332

Target Markets and Applications

- IoT Edge device
- Solar inverter
- Secure Home Gateway

The MSRZFive is the Open Standard Module compliant System-In-Package based on Renesas RZ Family architecture offering high-performance 64-bit RISC-V core. The MSRZFive combines compact design and a wide range of services, bringing low power consumption, thermal efficiency and low-cost to embedded systems.



[MSRZFive - RISC-V Single Core SiP | ARIES Embedded GmbH \(\[aries-embedded.com\]\(https://aries-embedded.com\)\)](#)



Learn more at [RZ Partner Ecosystem Solutions](#)

RZ/Five Deliverables Plan

Category	Item	Schedule/Status
Device	WS	Available
	MP	Jul/2022 (Acceptance of orders)
Evaluation Board Kit (EVK)	Prototype(Limited quantity)	Available
	MP Shipment	Aug/2022
Software	BSP(Linux)	BSPv0.8: Available , BSPv1.0: Jun/2022
Document	Pin Function	Ver0.1: Available Ver0.5: Available Ver1.0: Jun/2022
	User's manual	Overview Ver0.1 Available Ver0.5 Available Ver1.0 Jun/2022
	Design Guide	Thermal guide : Available Power guide : Available DDR design guide : Available

<https://www.renesas.com/jp/ja/products/microcontrollers-microprocessors/rz-mpus/rzfive-risc-v-general-purpose-microprocessors-risc-v-cpu-core-andes-ax45mp-single-10-ghz-2ch-gigabit-ethernet>

[Renesas.com](https://www.renesas.com)